

Tゲートに基づく3値理論システムに関する研究

著者	亀山 充隆
号	657
発行年	1977
URL	http://hdl.handle.net/10097/9393

氏 名	かめ 亀	やま 山	みち 充	たか 隆
授 与 学 位	工 学 博 士			
学位授与年月日	昭和 53 年 3 月 24 日			
学位授与の根拠法規	学位規則第 5 条第 1 項			
研究科，専攻の名称	東北大学大学院工学研究科 (博士課程) 電子工学専攻			
学 位 論 文 題 目	T ゲートに基づく 3 値論理システムに関する研究			
指 導 教 官	東北大学教授 穴山 武			
論 文 審 査 委 員	東北大学教授 穴山 武	東北大学教授 松尾 正之		
	東北大学教授 野口 正一	東北大学教授 木村 正行		
	東北大学助教授 樋口 龍雄			

論 文 内 容 要 旨

第 1 章 緒 言

3 値論理システムは，最近の集積回路やコンピュータサイエンスの発展に伴って，種々の特長を有していることが明らかにされており，その実現の意義は大きい。このため，ある基本演算子，特に 1 種類の基本演算子を基本ブロックとして，任意の組合せ回路と順序回路を系統的にまた容易に構成できることが望まれている。

本論文は，このような観点から，3 値 T ゲートのみを基本ブロックとした 3 値論理システムの基礎理論に関する研究をまとめたものである。3 値 T ゲートは，従来，Lee, Thelliez などにより言及されているが，任意の 3 値論理関数を系統的に 3 値 T ゲートを基本ブロックとして実現するための基礎となる数学的性質や最小化を目的とした系統的合成理論についての研究は，十分行

われていない。また、順序回路の不可欠の要素である3値メモリエlementをTゲートを基本ブロックとして構成する試みや、順序回路への応用などについても、ほとんど報告されていない。

本研究は、まず、3値Tゲートの代数的性質を明らかにし、実際に3値Tゲートを最近の集積化技術を取り入れた種々の回路形式により実現した結果を示している。この代数的性質に基づき、任意の n 変数関数をゲート数最小化を目的として合成する手法をアルゴリズムとして示し、3値Tゲート回路網の最小化に有効な一手法であることを明らかにしている。次に、3値メモリエlementのためのTゲートは、制御変数の値の変化に対して、静的ハザードフリーでなければならないことを示している。この静的ハザードフリーTゲートを基本ブロックとして、3値特有のメモリエlementやカウンタへの応用を明らかにしている。更に、組合せ回路とメモリエlementを併用した順序回路の状態割当問題に対して、3値論理システムでは従来示されていなかった隣接性に基づいた新しい観点から、考察が行われている。最後に、以上の3値Tゲートを多値多制御モジュールへ拡張した結果を示している。以上の結果により、3値Tゲートが任意の論理関数を系統的に表現する上で、また、任意の順序回路を系統的に設計する上で、有用であることを明らかにしている。

第2章 3値論理システムの概要

3値論理システムにおいては、ポスト代数を始めとして種々の基本演算子が提案されているが、本章では、この概要を述べている。特に、3値Tゲートは、この中でユニバーサルロジックモジュールの一種とも考えられる single generatorであることを示している。

第3章 3値Tゲートの代数的性質と回路的性質

以下、真理値の集合を $L = \{-1, 0, 1\}$ とする。3値Tゲートは、 s を制御変数、 p, q, r をresidue関数とする4入力1出力のゲートであり、式(1)で定義される。

$$T(p, q, r; s) = p \cdot J_1(s) + q \cdot J_0(s) + r \cdot J_{-1}(s) \quad (1)$$

但し、 $x_1 \cdot x_2 = \min(x_1, x_2)$, $x_1 + x_2 = \max(x_1, x_2)$, $J_k(x) = \begin{cases} 1 & x=k \\ -1 & x \neq k \end{cases}$ である。

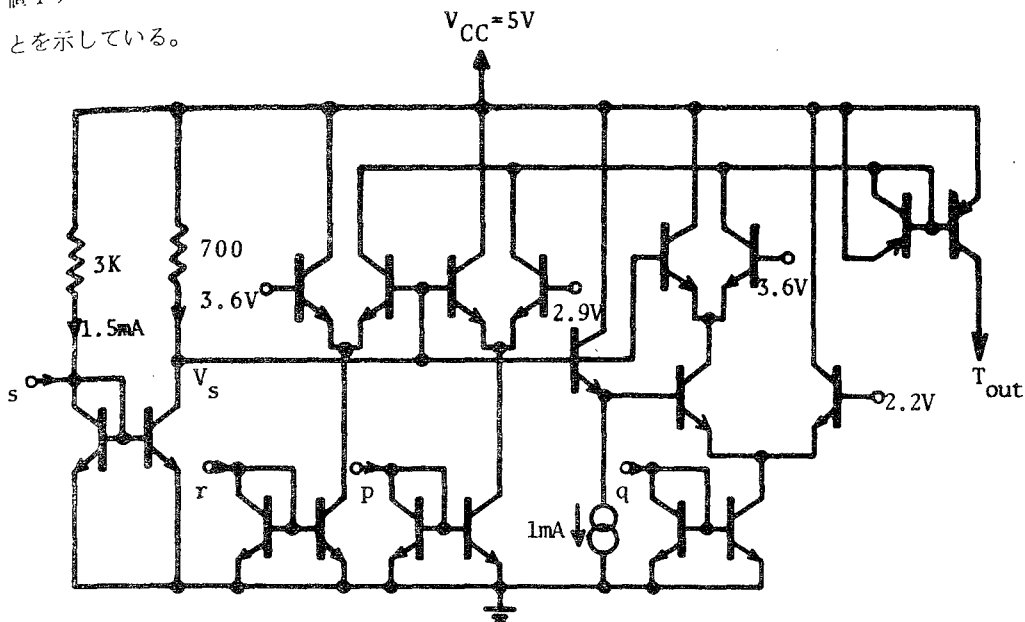
3値Tゲート回路網では、任意の n 変数関数は、最大の場合でも $(3^n - 1) / 2$ 個のTゲートにより実現することができ、式(2)のように標準展開が容易に行えることが特長である。

$$f(X) = T(f(x_1, \dots, 1, \dots, x_n), f(x_1, \dots, 0, \dots, x_n), f(x_1, \dots, -1, \dots, x_n); x_i) \quad (2)$$

しかしながら、なるべく多くのresidue関数がtrivialとなる冗長のない樹枝状回路を構成することにより、また、なるべく多くのresidue関数を共通に使用することにより、論理関数の簡単化を行えることを明らかにしている。更に、3値Tゲート回路網とポスト代数との相互変

換について考察されている。

次に、3値Tゲートの種々の回路形式による実現法を示している。例えば、第1図はECL3値Tゲートの構成例である。これらの回路は、現在の集積化技術により、十分実現可能であることを示している。



第1図 ECL 3値Tゲート

第4章 3値Tゲート回路網の合成理論

本章では、3値Tゲート回路網の最小化のために、関数の分解と制御変数の配置法が示されている。

まず、3値Tゲート回路網を合成する上で必要とされるゲート数の上限を評価基準として、式(3)のような重複のない関数の分解が考察されている。

$$f(X) = g(\alpha_1(Y), \alpha_2(Y), \dots, \alpha_u(Y), Z) \quad (3)$$

ここで、Yはp変数、Zはn-p変数から成るとする。従って、式(3)を実現するのに要するTゲートの上限Fは、 $M_n = (3^n - 1)/2$ とすると、式(4)で与えられる。

$$F = u \cdot M_p + M_{u+n-p} \quad (4)$$

式(4)の値が最小となるような分解を選択し、 $F \leq M_n$ のときのみ、逐次、分解を行う手順が示されている。

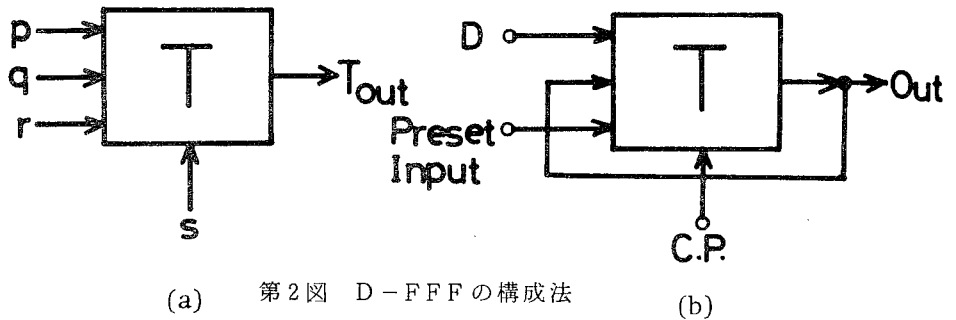
次に、依存度という新しい概念を定義し、最も不完全な樹枝状構造が得られるような制御変数の配置法について、理論的考察が行われている。依存度とは、n変数Xから x_i を制御変数としてとり出したとき、 $f(X', x_i) \neq x_i$ となる X' (x_i 以外のn-1変数)の頂点の数と定義する。

この依存度を基にして、最初のレベルのTゲートの制御変数に、依存度が最大の変数 x_i を与えるという手順を各レベルについて繰返すことにより、良好な解が得られることを示している。例えば、3変数関数の場合は、90%以上が最適解が得られることを確かめている。

このようにして、上述の関数の分解と制御変数の配置法を共に考慮することにより、なるべく最小のゲート数で回路網が得られるアルゴリズムを与えている。

第5章 ハザードフリーTゲートによる3値メモリエLEMENTの構成と各種カウンタへの応用

3値Tゲートは、第2図(b)のように、出力 T_{out} を q にフィードバックし、 s にRZのクロックパルスを印加することにより、プリセット機能をもった遅延型のメモリエLEMENTを構成できる。

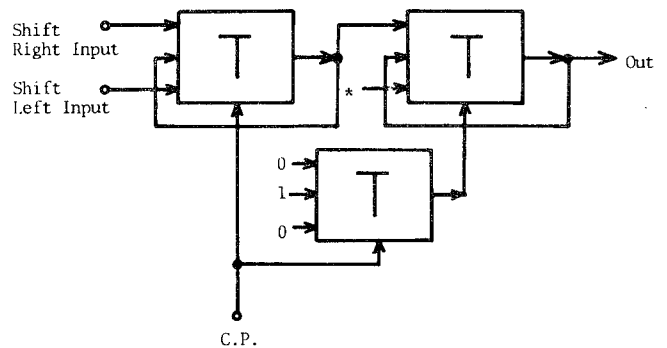


このための3値Tゲートは、 $p = q$ あるいは $r = q$ のとき、それぞれ s の $1 \rightarrow 0$ あるいは $-1 \rightarrow 0$ の変化に対して、ハザードがないことが必要であり、ポスト代数では、式(5)のような展開式を得ることができる。

$$T(p, q, r; s) = (p + h_1(s)) \cdot q \cdot (r + h_{-1}(s)) + p \cdot J_1(s) + r \cdot J_{-1}(s) \quad (5)$$

但し、 $h_k(x) = -J_k(x)$ である。

次に、この静的ハザードフリーTゲートを基本ブロックとして3値Tゲート特有のDマスタスレーブFFF、B-FFFあるいはC-FFFの構成法を示している。特に、B-FFFは第3図に示すように(但し、プリセットのためのTゲートは省略してある)、C.P. = 1のとき右シ



フト, $C.P. = -1$ のとき左シフトを行える 2 値論理システムには見られない特長を有したメモリエlementである。これらのメモリエlementは, 1 線の入力でアップダウンカウントを行えるカウンタへ有用であり, この種のカウンタの設計法が述べられている。

第 6 章 3 値順序回路網の合成理論

本章では, 3 値 T ゲートに基づく順序回路の状態割当問題が考察されている。

3 値論理システムにおける隣接性の特徴は, 2 状態間のみではなく, 3 状態間の隣接要求も含んでいることである。このため, $T(a, a, a; x_1) = a$ となる項が多くなるような隣接要求を隣接ダイアグラム上に表わし, 式(6)の W の値を最小にするような状態割当を求めるアルゴリズムが示されている。

$$W = \sum_{i_1 i_2} w_{i_1 i_2} \cdot D_2[\alpha(s_{i_1}), \alpha(s_{i_2})] + \sum_{i_1 i_2 i_3} w_{i_1 i_2 i_3} \cdot D_3[\alpha(s_{i_1}), \alpha(s_{i_2}), \alpha(s_{i_3})] \quad (6)$$

但し, D_2, D_3 はそれぞれ 2 状態間, 3 状態間の距離を示している。

具体的には, 2 次元単位立方体の部分集合である TUS において, 隣接度が最大となる TUS を逐次抽出し, 局所的な最適化を行うアルゴリズムである。この結果, 十分短い時間で良好な状態割当が得られることを明らかにしている。

第 7 章 3 値 T ゲートの多値多制御変数モジュールへの拡張

本章では, まず, 3 値 T ゲートを多値多制御変数モジュールへ拡張した T-U LM の数式的表現法を r 値論理システムにおいて定義し, この代数的性質を明らかにしている。更に, モジュール数最小化を目的とした系統的な回路網合成法が述べられている。この結果, 多値論理システムにおいても, 任意の関数の表現の容易さの点で, 多値 T-U LM はすぐれていることを示している。

第 8 章 結 言

以上, ユニバーサルロジックモジュールの一種である 3 値 T ゲートを基本ブロックとして, 任意の組合せ回路及び順序回路を構成するための論理設計法を示した。この結果, 特に, 他の 1 種類の基本演算子に基づく 3 値論理システムと比較して, 論理システムの表現及び設計の容易さの点で, 3 値 T ゲートがすぐれていることが明らかとなった。

審 査 結 果 の 要 旨

3 値論理は 2 値論理に比べ論理系として有利な種々の特徴を有しているが、論理システムとしての系統的な研究はまだあまり行われていない。

著者は、3 値 T ゲートが一種のユニバーサルロジックモジュールであることに着目し、3 値 T ゲートを基本ブロックとする 3 値論理システムについて基礎的考察を行い、3 値 T ゲートが任意の 3 値論理関数を表現する上で、また順序回路などを系統的に設計する上で有用であることを明らかにした。本論文は、その研究成果をとりまとめたもので全編 8 章よりなる。

第 1 章は緒言である。第 2 章では、種々の 3 値基本演算子について考察を加え、3 値論理システムの実現の容易さという観点から比較検討を行い、3 値 T ゲートの位置づけを明確にしている。

第 3 章では、3 値 T ゲートの定義および論理式の簡単化を行う際に有用な代数的性質を明らかにするとともに、3 値論理回路の実現可能性についても検討している。

第 4 章では、ゲート数の最小化を目的とする 3 値 T ゲート回路網の合成法について理論的考察を行い、依存度という新しい概念を導入することにより準最適構成法を与えている。これは有用な知見である。

第 5 章では、3 値記憶素子用 T ゲートの具備すべき事項について考察し、制御変数値の変化に対し静的ハザードのない T ゲートを実現している。さらに、この T ゲートを基本ブロックとする種々の形式の 3 値可逆カウンタを提案し、その構成法を明らかにしている。これらは本研究の重要な成果である。

第 6 章では、3 値 T ゲートに基づく順序回路の状態割当問題について考察している。まず、隣接性の概念を導入し、ついで 2 状態間と 3 状態間の隣接性を満足させるような状態割当アルゴリズムを示し、計算機を用いてその有効性を検討している。

第 7 章では、3 値 T ゲートを多値多制御変数モジュールへ拡張した多値ユニバーサルロジックモジュールを提案し、その代数的性質を明らかにするとともに、モジュール数最小化を目的とする多値論理関数の合成理論を述べている。

第 8 章は結言である。

以上要するに本論文は、3 値 T ゲートの基本的性質を明らかにし、これに基づく 3 値論理システムの基礎理論を与えるなど、3 値論理とそのシステム設計に有用な幾多の知見を加えたもので、電子工学・情報処理工学に寄与するところが少なくない。

よって、本論文は工学博士の学位論文として合格と認める。